

⑫ 公開実用新案公報(U) 平2-103927

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月17日

H 03 K 17/687
17/08
17/16C 8124-5 J
M 8124-5 J
8214-5 J

H 03 K 17/687

B

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 考案の名称 電界効果トランジスタを用いたスイッチング回路

⑯ 実 願 平1-12347

⑰ 出 願 平1(1989)2月4日

⑱ 考 案 者 酒 井 直 樹 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

⑲ 考 案 者 渡 辺 秀 夫 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

⑲ 考 案 者 藤 田 泰 裕 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内

⑳ 出 願 人 富士通テン株式会社 兵庫県神戸市兵庫区御所通1丁目2番28号

㉑ 代 理 人 弁理士 西教 圭一郎 外1名

㉒ 実用新案登録請求の範囲

(1) 電界効果トランジスタと、負荷と、直流電源とを直列に接続し、

負荷と電界効果トランジスタとの接続点の電圧を、帰還素子を介して電界効果トランジスタのゲート電極に印加して、サージを電界効果トランジスタで吸収させることを特徴とする電界効果トランジスタを用いたスイッチング回路。

(2) 前記ゲート電極には、短絡時にソース・ドレイン間に流れる電流が電界効果トランジスタの定格未満であり、かつ、負荷接続時に電界効果トランジスタの導通時の飽和電圧が可及的に小さい値となるゲート・ソース間電圧に抑制するための電圧制限回路を設けることを特徴とする請求項1記載の電界効果トランジスタを用いたスイッチング回路。

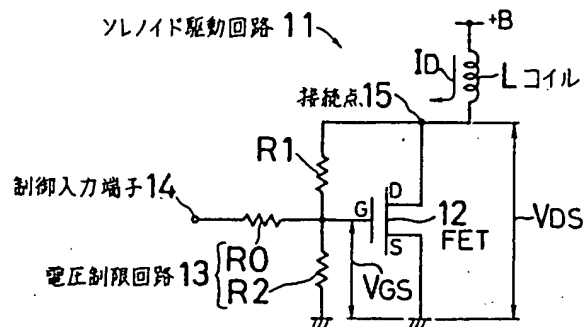
図面の簡単な説明

第1図は本考案の一実施例のソレノイド駆動回路11の電気回路図、第2図はソレノイド駆動回路11の動作を説明するための波形図、第3図および第4図はFET12の動作範囲W1を示すグ

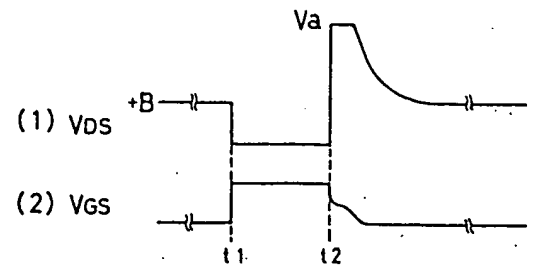
ラフ、第5図は本考案の他の実施例のソレノイド駆動回路21の電気回路図、第6図は本考案のさらに他の実施例のソレノイド駆動回路22の電気回路図、第7図は本考案の他の実施例のソレノイド駆動回路23の電気回路図、第8図は本考案のさらに他の実施例のソレノイド駆動回路24の電気回路図、第9図は本考案の他の実施例のソレノイド駆動回路25の電気回路図、第10図は本考案のさらに他の実施例のソレノイド駆動回路26の電気回路図、第11図は本考案の他の実施例のソレノイド駆動回路27の電気回路図、第12図は本考案のさらに他の実施例のソレノイド駆動回路28の電気回路図、第13図は従来技術のソレノイド駆動回路1の電気回路図、第14図は他の従来技術のソレノイド駆動回路2の電気回路図である。

11, 21~28…ソレノイド駆動回路、12…FET、13, 16…電圧制限回路、15…接続点、D1, D3…ツェナダイオード、D2…ダイオード、L…コイル、R0, R1, R2, R3…抵抗。

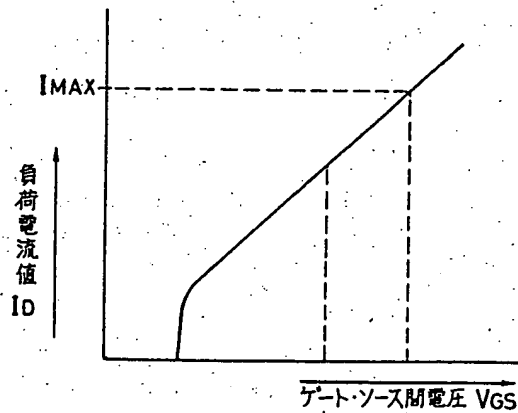
第 1 図



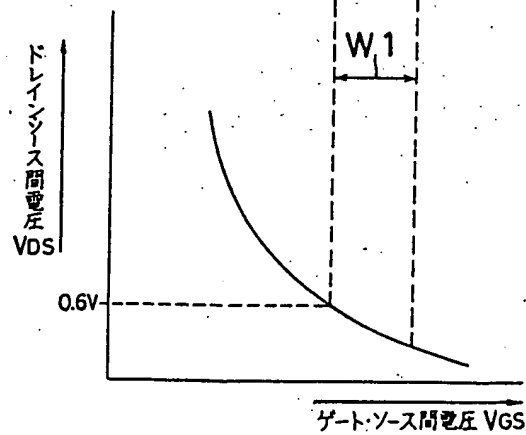
第 2 図



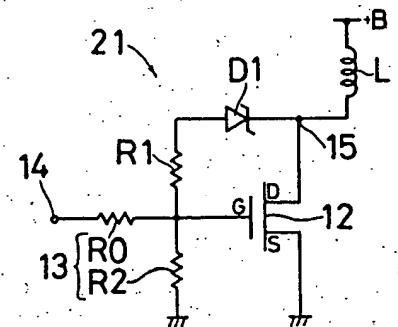
第 3 図



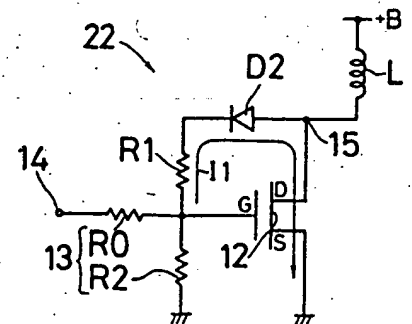
第 4 図



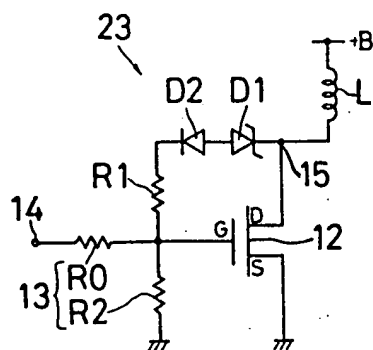
第 5 図



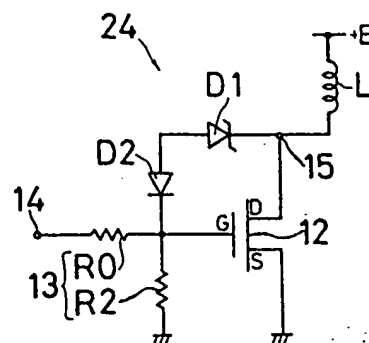
第 6 図



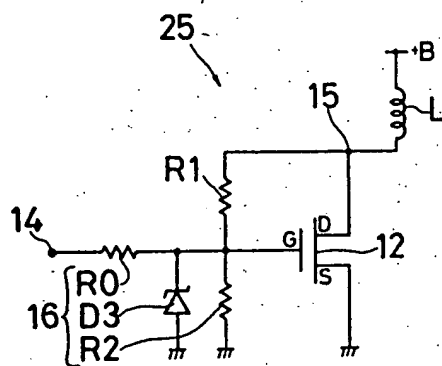
第 7 図



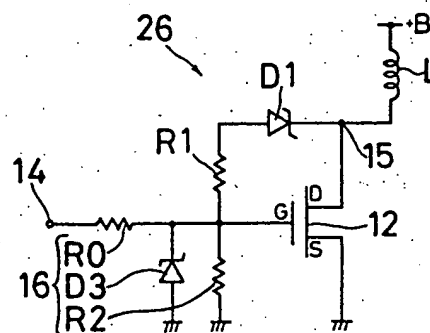
第 8 回



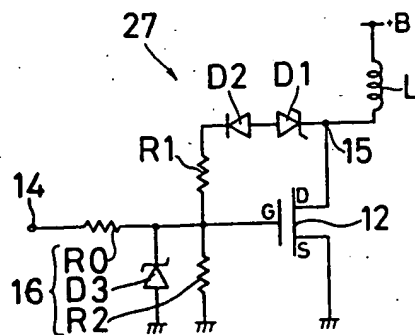
第 9 圖



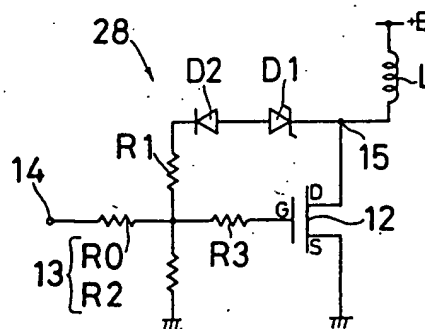
第 10 図



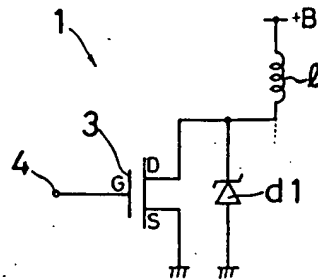
第 11 図



第 12 回



第 13 図



第 14 図

